



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월02일
(11) 등록번호 10-2016767
(24) 등록일자 2019년08월26일

(51) 국제특허분류(Int. Cl.)
H01L 31/042 (2014.01) H01L 31/0224 (2006.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2013-0022348
(22) 출원일자 2013년02월28일
심사청구일자 2018년02월28일
(65) 공개번호 10-2014-0110119
(43) 공개일자 2014년09월17일
(56) 선행기술조사문헌
KR1019930004126 B1*
(뒷면에 계속)

(73) 특허권자
한국교통대학교산학협력단
충청북도 충주시 대소원면 대학로 50
(72) 발명자
임동건
충북 충주시 금제1길 5, 1동 501호 (금릉동, 푸른
삼성아파트)
여인환
충북 청주시 흥덕구 신월로175번길 67, 3층 (복대
동, 대명빌라)
(뒷면에 계속)
(74) 대리인
김인환, 김희곤, 박용순

전체 청구항 수 : 총 3 항

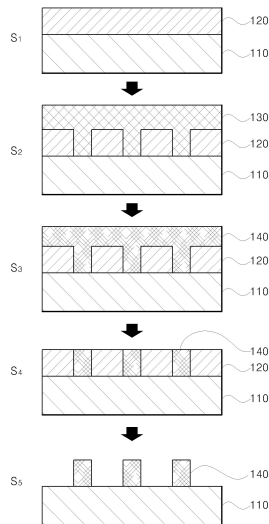
심사관 : 안지현

(54) 발명의 명칭 태양전지의 전극형성방법

(57) 요약

본 발명은 태양전지의 전극 형성 방법에 관한 것으로, 레진층에 임프린팅 방식의 전극패턴 형성공정을 통해 실리콘 태양전지의 전극의 형성을 30 μ m이하의 구조에서 고도의 종횡비(Aspect ratio)를 구비하여, 전극의 면적을 줄이면서 높이를 크게 하여 낮은 저항과 표면에서의 수광면적을 증가시켜 효율향상을 증대시킬 수 있는 기술을 제공한다.

대표도 - 도2



- | | |
|--|--|
| <p>(72) 발명자</p> <p>박주익
충청북도 청주시 상당구 내덕2동 경희아파트 가동 302호</p> <p>김준희
충북 음성군 원남면 마송일로 82-14,</p> <p>조해성
충청북도 충주시 대소원면 검단리 유진주택 1동 208호</p> <p>김민영
충청북도 충주시 대소원면 검단리 유진주택 1동 209호</p> <p>이종관
경기 수원시 영통구 봉영로 1620, 101동 2504호 (영통동, 대우월드마크)</p> | <p>(56) 선행기술조사문헌</p> <p>KR1020110012083 A*</p> <p>KR1020090081924 A</p> <p>KR1020050065955 A</p> <p>KR1020060080010 A</p> <p>KR1020100074434 A</p> <p>KR1020130012291 A</p> <p>KR1020130013774 A</p> <p>US20080143015 A1</p> <p>US20050123674 A1</p> <p>*는 심사관에 의하여 인용된 문헌</p> |
|--|--|

이 발명을 지원한 국가연구개발사업

과제고유번호 2015H1C1A1035903
 부처명 교육부
 연구관리전문기관 한국연구재단
 연구사업명 교육인력양성사업/지역혁신창의인력양성/지역혁신창의인력양성
 연구과제명 CIGS 박막 태양전지용 CVD-grown 전구체 및 공정 기술 개발
 기 여 율 1/2
 주관기관 한국교통대학교
 연구기간 2015.07.01 ~ 2018.04.30

이 발명을 지원한 국가연구개발사업

과제고유번호 20153030013200
 부처명 산업통상부
 연구관리전문기관 한국에너지기술평가원
 연구사업명 산업기술혁신사업(에너지기술개발사업)
 연구과제명 전기화학공정 및 레이저를 이용한 초박형 (두께 50 μ m이하) kerfless 실리콘 웨이퍼링 및 핸들링 기술 개발
 기 여 율 1/2
 주관기관 한국기계연구원부설 재료연구소
 연구기간 2015.12.01 ~ 2018.09.30

명세서

청구범위

청구항 1

실리콘 반도체 기판의 표면을 수산화나트륨(NaOH), 수산화칼륨(KOH), 불산 또는 불화질산으로 에칭한 후에 광입사면으로 된 실리콘 기판의 표면에 드라이 에칭이나 웨트(wet) 에칭을 이용하여 요철면을 형성한 후, 상기 실리콘 반도체 기판의 표면에 레진층을 형성하는 1단계;

상기 레진층 상에 전극형성층을 가압하여 상기 레진층을 패터닝하는 2단계;

상기 패터닝된 레진층 상에 전극물질층을 형성하는 3단계; 및

상기 레진층을 제거하여 전극을 형성하는 4단계;

를 포함하며,

상기 2단계는, 금형에 전극패턴에 대응되는 요철패턴을 구비한 전극형성층을 가압하여 전극형성부위의 레진물질층을 제거하고, 여기서 상기 요철패턴의 깊이는 상기 레진층의 두께 이하로 형성되어 상기 요철패턴의 가압으로 인해 전극형성부위의 레진이 제거되며,

상기 3단계는 패터닝된 레진의 높이 이상으로 전극물질층을 형성하고,

상기 4단계는, 상기 레진 상의 오목패턴에 충전된 전극물질을 남기고 전극물질층을 제거한 후, 상기 오목패턴을 구성하는 잔류 레진층을 제거하며,

상기 전극물질층은 Au, Pt, Pd, Ru, Ni, Cu, Sn, In, Zn, Fe, Cr, Co, Ti, Ag 및 Mn 으로 이루어지는 군에서 선택된 1종 또는 2종 이상의 혼합 조성 또는 합금 조성으로 이루어지고 30 μ m이하의 구조를 가지는 전극 패턴을 포함하며,

상기 전극물질층의 형성은, 전기도금(electroplating), 무전해도금(electroless plating), 도전성 페이스트 인쇄법 중의 어느 하나인 것을 특징으로 하는 태양전지의 전극 형성 방법.

청구항 2

청구항 1에 있어서,

상기 레진층은 에폭시, 감광성 수지, 폴리이미드계 감광성 수지, 자외선(UV) 경화수지, 열경화수지 중 어느 하나를 포함하고, 상기 자외선 경화수지는 우레탄 아크릴레이트, 에폭시 아크릴레이트, 실리콘 아크릴레이트, 폴리에스터 아크릴레이트, 에폭시, 비닐에스테르(vinyl ether)에서 선택되는 하나 이상을 포함하는 것을 특징으로 하는 태양전지의 전극 형성 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

청구항 1의 태양전지의 전극 형성 방법에 의한 전극을 포함하는 실리콘 태양전지.

발명의 설명

기술분야

[0001] 본 발명은 태양전지의 전극 형성 방법에 관한 것이다.

배경기술

[0002] 태양 전지의 원가에서 가장 큰 비중을 차지하는 부분은 기관으로 사용되는 실리콘 웨이퍼의 가격이다. 따라서, 태양전지의 저가격화를 위해서는 보다 더 얇고 가격이 저렴한 기관을 사용한다.

[0003] 최근에는 기존의 300 내지 400 μm 정도의 두께보다 얇은 200 μm 이하의 두께를 가지는 기관을 사용하여 고효율 태양전지를 제조하기 위해 연구가 진행되고 있다.

[0004] 고효율 태양전지를 제조하기 위해, 태양전지의 전면 및 후면에 SiN_x , SiO_2 등의 절연막으로 이루어진 보호막 (passivation layer)을 형성하여, 입사된 태양광에 의해 생성된 소수 캐리어가 태양전지의 계면에서 재결합하는 것을 방지한다.

[0005] 특히, 두께가 얇은 기관에서 고효율을 얻기 위해서는 보호막의 절연특성이 우수해야 하고, 태양전지의 후면에는 반사도가 우수한 절연막을 만들어주어야 한다.

[0006] 전극 패턴을 형성하는 종래 방법 중에는, 포토리소그래피(photolithography) 공정으로 패턴을 형성한 후 화학적인 식각용액을 이용하여 습식 식각하는 방법이 있다. 이 방법은 고효율 태양전지의 제조에 일반적으로 사용되고 있으나, 공정 비용이 비싸서 저가격 양산공정에는 적합하지 않은 단점이 있다.

[0007] 또한, 보호막 특성이 우수하고 광학적 특성도 우수하여 태양전지의 절연막에 적용하면 높은 효율을 얻을 수 있는 Si이 풍부한(Si-rich) SiN_x 막은, 습식 식각이 불가능하므로, SiN_x 막을 절연막으로 이용할 경우 포토리소그래피 공정에 의한 방법으로는 금속 전극 패턴을 형성하지 못하는 문제점이 있다.

[0008] SiN_x 막과 SiO_2 절연막 모두에 대해 전극 패턴이 가능한 방법으로서, 태양전지의 후면 전극패턴을 형성하는데 적용하기 위한 방법으로는 플라즈마 식각 방법, 레이저를 이용하여 표면을 깎아내는 방법(이를 laser ablation이라 한다), 기계적인 연마(mechanical abrasion) 방법 등이 있으며, 이들에 대해 설명하면 다음과 같다.

[0009] 플라즈마 식각 방법에서는 SF_6 플라즈마 및 플라즈마 마스크를 이용하여 SiN_x 막에 전극 패턴을 형성한다. 그러나, 이 방법은 공정 비용이 비싸고, 플라즈마에 의한 표면 손상으로 효율이 감소되는 문제점이 있으며, 양산 공정에 적용하기가 어렵다.

[0010] 레이저 어블레이션 방법에서는 KrF 엑시머(eximer) laser 또는 Nd:YAG 레이저를 이용하여 SiN_x 막에 전극 패턴을 형성한다. 후면전극에는 다수개의 홀이 형성되는데, 예를 들면 100 μm 크기의 홀을 100cm^2 의 면적에 10000개가 형성된다. 그러나 이 방법에서는 후면 전극에 형성되는 홀을 일일이 하나씩 제조하기 때문에 공정시간이 너무 길다는 문제점이 있다.

[0011] 기계적인 연마 방법은 양산적용을 준비중인 기술로서, 다수개의 블레이드(blade)로 후면전극 전체를 연마하여 홀을 한 번의 공정으로 만들 수 있으므로 전극형성 속도가 빠르다는 장점을 가지고 있다. 그러나 이 방법으로는 직선 형태의 전극 패턴만을 만들며 그 외의 다른 패턴 형태는 만들 수가 없다는 단점이 있으며, 특히 웨이퍼 표면으로부터 블레이드의 높이가 일정하게 고정되어 있으므로 웨이퍼 표면이 평탄하지 않은 경우, 균일한 패턴을 만들기 어려운 문제점이 있다.

[0012] 기계적인 연마 방법을 태양전지의 제조에 적용한 종래 기술로는 미국 특허 제4502225호가 있다. 여기서는 기계적인 스크라이버를 이용하여 태양전지의 표면을 텍스처링(texturing)하고, 함몰전극 구조의 태양전지를 제조한다. 그러나, 이러한 함몰 전극 구조에서의 전극은 기관 내로 70 내지 80 μm 정도의 깊이로 깊게 파낸 후 형성된 것이므로, 절연막만을 제거하여 전극 패턴을 형성하는 것과는 차별화되며 절연막만을 제거하는 것은 불가능하다.

[0013] 고효율 태양전지 제작을 위해 후면 전극의 면적은 1~2% 정도가 최적이고, 전극 폭은 30 μm 이내, 전극 간격은 3mm이내가 최적 조건인데, 종래의 기술로는 최적의 후면 전극 구조를 형성할 수 없다.

[0014] 즉, 종래의 실리콘 태양전지의 기존 전극 형성방법으로는 30 μm 이내의 전극 형성이 어려우며, 전극을 구현하더라도 좋지 않은 중형비를 가지게 된다.

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) 한국공개특허 제10-2003-0015590호
- (특허문헌 0002) 한국공개특허 제10-2003-0015741호

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상술한 문제를 해결하기 위하여 안출된 것으로, 본 발명의 목적은 실리콘 태양전지의 전극의 형성을 30 μ m이하의 구조에서 고도의 종횡비를 구비하여, 전극의 면적을 줄이면서 높이를 크게 하여 낮은 저항과 표면에서의 수광면적을 증가시켜 효율향상을 증대시킬 수 있는 태양전지의 전극 형성방법을 제공하는 데 있다.

과제의 해결 수단

- [0017] 상술한 과제를 해결하기 위한 수단으로서, 본 발명은 기판표면에 레진층을 형성하는 1단계; 상기 레진층 상에 전극형성틀을 가압하여 레진층을 패터닝하는 2단계; 상기 패터닝된 레진층 상에 전극물질층을 형성하는 3단계; 및 상기 레진층을 제거하여 전극을 형성하는 4단계;를 포함하는 태양전지의 전극형성방법을 제공할 수 있도록 한다.
- [0018] 나아가, 상기 2단계는, 금형에 전극패턴에 대응되는 요철패턴을 구비한 전극형성틀을 가압하여 전극형성부위의 레진물질을 제거하는 단계인, 태양전지의 전극형성방법을 제공할 수 있도록 한다.
- [0019] 또한, 상기 3단계 및 4단계는, 상기 3단계는 패터닝된 레진의 높이 이상으로 전극물질층을 형성하고, 상기 4단계는, 상기 레진 상의 오목패턴에 충전된 전극물질을 남기고 전극물질층을 제거한 후, 상기 오목패턴을 구성하는 잔류 레진층을 제거하는 단계로 구성할 수 있다.
- [0020] 나아가, 본 발명에 따른 태양전지의 전극형성 방법에서 상기 전극물질층을 형성하는 단계는, 전극 패턴을 Au, Pt, Pd, Ru, Ni, Cu, Sn, In, Zn, Fe, Cr, Co, Ti, Ag 및 Mn 으로 이루어지는 군에서 선택된 1 종 또는 2 종 이상의 혼합 조성 또는 합금 조성으로 이루어지도록 구현할 수 있다.
- [0021] 특히, 상기 전극물질층의 형성은, 전기도금(electroplating) 및 무전해도금(electroless plating), 도전성페이스트의 인쇄법 중의 어느 하나를 적용할 수 있다.

발명의 효과

- [0022] 본 발명은 실리콘 태양전지의 전극의 형성을 30 μ m이하의 구조에서 고도의 종횡비(Aspect ratio)를 구비하여, 전극의 면적을 줄이면서 높이를 크게 하여 낮은 저항과 표면에서의 수광면적을 증가시켜 효율향상을 증대시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명에 따른 태양전지의 전극 형성 방법의 공정 순서도를 도시한 것이다.
- 도 2는 도 1의 공정 순서를 도시한 공정 개념도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서는 첨부한 도면을 참조하여 본 발명에 따른 구성 및 작용을 구체적으로 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성요소는 동일한 참조부어를 부여하고, 이에 대한 중복설명은 생략하기로 한다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0025] 도 1은 본 발명에 따른 태양전지의 전극 형성 방법의 공정 순서도를 도시한 것이다. 또한, 도 2는 도 1의 공정

순서를 도시한 공정 개념도이다.

- [0026] 도시된 도 1 및 도 2를 참조하면, 본 발명에 따른 태양전지의 형성방법은, 기판표면에 레진을 형성하는 1단계와 상기 레진상에 전극형성틀을 가압하여 레진을 패터닝하는 2단계, 상기 패터닝된 레진 상에 전극물질층을 형성하는 3단계 및 상기 레진을 제거하여 전극을 형성하는 4단계를 포함하여 구성된다.
- [0027] 상기 1단계에서는, 기판(110) 표면에 레진(120)을 도포하는 공정이 수행된다. 이 경우 상기 기판(110)은 실리콘 반도체 기판이 적용됨이 바람직하다. 실리콘 반도체 기판(110)은, 단결정 또는 다결정 실리콘등으로 이루어진다. 이 실리콘 반도체 기판(110)은, 붕소 등의 일도전형 반도체 불순물을 함유하고, 비저항은, 예를 들면, 1.0 내지 2.0 Ωcm 정도이다. 단결정 실리콘 기판의 경우는 인상법 등에 의하여 형성되고, 다결정 실리콘 기판의 경우는 주조법 등에 의하여 형성된다. 인상법이나 주조 등에 의하여 형성된 실리콘의 주피를 200 μm 이하, 바람직하게는 150 μm 이하의 두께로 슬라이스하여 실리콘 기판(110)이라고 한다. 또한, 이하의 설명에 있어서는 p형 실리콘 기판을 이용하여 설명하지만, n형 실리콘기판을 이용해도 상관없다. 본 공정에서 상기 실리콘 기판(110)은, 그 슬라이스 면을 청정화하기 위해, 표면을 NaOH나 KOH, 또는 불산이나 불화질산 등으로 미량 에칭된 후에 광입사면으로 된 실리콘 기판 표면(수광면)측에, 드라이 에칭이나 웨트 에칭 등을 이용하여, 광반사율 저감 기능을 갖는 요철면(조면)을 형성할 수 있으며, 이후 레진층을 형성하는 공정이 수행될 수 있다.
- [0028] 상기 레진층(120)은 에폭시, 감광성 수지, 폴리이미드계 감광성 수지, UV 경화수지(우레탄 아크릴레이트, 에폭시 아크릴레이트, 실리콘 아크릴레이트, 폴리에스터 아크릴레이트, 에폭시, 비닐이서(vinyl ether)), 열경화수지 중 어느 하나를 사용할 수 있다. 또한, 상기 감광성수지액등 액상의 재료로 레진층을 형성하는 경우에는 통상의 스핀코팅, 또는 슬릿코팅 등의 방법을 통해 형성될 수 있으며, 포토레지스트, 드라이필름레지스트, 자외선 경화형 수지 등 다양한 재료가 이용될 수 있으며, 특히 감광성 성질을 구비하는 것은 모두 적용할 수 있음은 물론이다. 이를 테면, 에폭시계, 폴리이미드계, 노발락(Novolak) 계열의 수지층을 코팅하는 방식으로 형성될 수 있다.
- [0029] 상기 2단계에서는, 상기 레진층(120)상에 전극형성틀(130)을 가압하여 레진층을 패터닝하는 공정으로 진행된다. 특히, 상기 전극형성틀(130)은 임프린팅 방식의 본 2단계 공정에 적합하도록 형성하고자 하는 전극패턴에 대응되는 요철패턴을 구비하는 구조의 몰드형으로 구성될 수 있다. 이 경우 상기 전극형성틀은 글라스몰드 또는 금속몰드를 이용할 수 있으며, 금속몰드는 Ni, Cr, Au 등의 물질로 구성되는 몰드를 이용할 수 있다.
- [0030] 특히, 본 공정에서는 전극형성틀(130)에 형성된 요철패턴의 깊이가 상기 레진층의 두께 이하로 형성하여 요철패턴의 가압으로 인해 전극형성부위의 레진이 제거될 수 있도록 함이 더욱 바람직하다. 이 경우, 가압된 부분의 기판 표면에 미세하게 남는 레진은 에칭이나 에싱등의 방법으로 제거할 수 있다.
- [0031] 이후, 3단계의 공정에서 상기 패터닝된 레진 상에 전극물질층(140)을 형성하는 과정이 수행될 수 있다. 상기 전극물질층은 상기 레진층(120)이 패터닝 된 오목한 패턴 부분에 전극물질이 충전되는 방식으로 형성되거나, 도시된 것과 같이 레진층의 높이 이상으로 전체 레진층을 덮는 구조로 형성하는 것이 가능하다.
- [0032] 전극물질층(140)의 형성 방법은 다양한 방법이 적용될 수 있으며, 일례로 전기도금(electroplating) 및 무전해도금(electroless plating), 도전성페이스트의 인쇄법 등이 적용될 수 있다. 이 때, 전기도금 또는 무전해도금을 진행하는 중에 태양전지를 서서히 하강시켜 태양전지를 도금 용액 내에 침지시키면서 전극을 형성할 수도 있다. 이 경우에는 도금조의 도금 용액 내에 태양전지를 침지시키기 전에 전기도금 또는 무전해도금 공정을 진행하고, 도금 공정의 진행 중에 모터를 작동하여 와이어를 풀으로써 태양전지를 일정한 속도로 하강시켜 도금 용액 내로 침지시키는 것이다. 도금 금속으로는 Cu, Ag, Ni, Cr, Co, 또는 Ti 등을 사용할 수 있다.
- [0033] 또한, 이 경우 상기 전극물질층(140)은 Au, Pt, Pd, Ru, Ni, Cu, Sn, In, Zn, Fe, Cr, Co, Ti, Ag 및 Mn 으로 이루어지는 균에서 선택된 1 종 또는 2 종 이상의 혼합 조성 또는 합금 조성으로 이루어지는 것을 도금 방식으로 형성할 수 있다.
- [0034] 도전성 페이스트의 인쇄법의 경우, 도전성 입자에 금속물질, 유기용제 등이 혼합된 혼합물을 적용하여 진행될 수 있다. 이러한 페이스트의 일례로는, 공지된 도전성 페이스트가 모두 적용될 수 있음은 물론이며, 이를테면, 도펀트가 코팅된 은분말, 무기 결합제, 금속산화물, 바인더 및 유기용매를 포함하는 페이스트를 이용할 수 있다. 이 경우 상기 도펀트는, 실버 메타포스페이트, 실버 오르쏘포스페이트, 실버 피로포스페이트, 실버 포스파이드, 헥사플루오로인산 은, 아안티몬산 은, 헥사플루오로안티몬산 은, 비산 은, 실버-비스무스 합금, 크롬산

은, 시안화 은, 요오드산 은, 요오드화 은, 몰리브덴산 은, 포타슘 실버 시아나이드, 루비듐 실버 아이오다이드, 브롬산 은, 브롬화 은, 아셀렌산 은, 실버 텔루라이드 및 셀렌화 은으로 이루어진 군에서 선택된 1종 이상의 은 함유 화합물을 포함하는 것을 적용할 수 있다.

[0035] 이후, 상기 4단계의 공정은, 레진을 제거하여 전극을 형성하는 것으로 구현될 수 있다. 즉, S 4 단계와 같이, 1차적으로 레진층의 높이를 동일하게 전극물질을 제거한 후, 이후 S 5 단계에서 레진만을 추가로 제거하는 공정으로 구현될 수 있다.

[0036] 실리콘 태양전지에서 기존 전극형성 방법으로는 30um이하의 전극 형성이 어렵고 형성이 가능하다더라도 좋지 않은 종횡비를 가지게 된다. 하지만 금형에 요철을 새겨 기판 상에 도포한 레진에 억눌러 패턴을 제거하는 임프린트 기술을 사용한다면 기존 전극형성 방법보다 얇고 더 좋은 종횡비를 가지는 전극을 얻을 수 있고 금형에 요철을 새겨 만든 틀을 반복적으로 사용할 수 있기 때문에 가공 비용이 적고 제조 시간이 짧다는 장점이 있다.

[0037] 임프린트 기술을 사용하여 태양전지에서 전극의 면적을 줄이면서 높이를 크게 한다면 낮은 저항과 표면에서의 빛을 받을 수 있는 면적이 증가하게 되어 효율 향상을 기대 할 수 있다. 따라서 임프린트 기술은 기존 전극 형성 기술보다 저렴하면서 양산 적용에 적합하다는 장점이 있다.

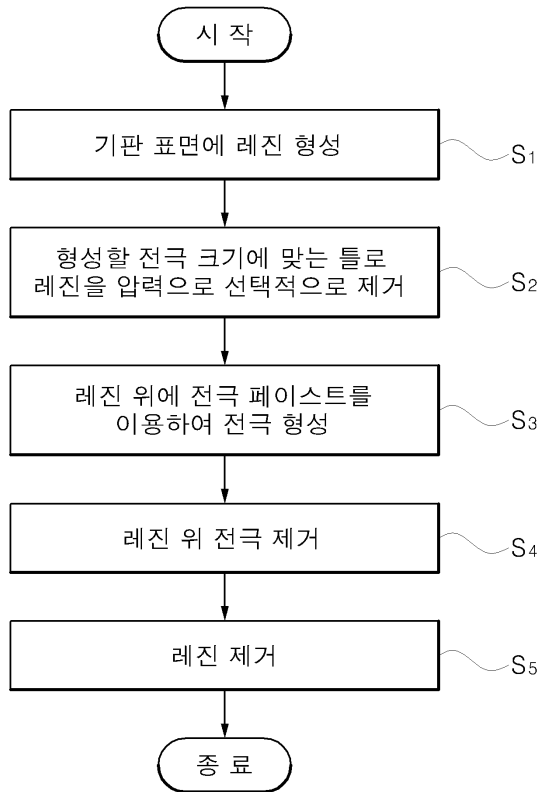
[0038] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 기술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

- [0039] 110: 기판
- 120: 레진층
- 130: 전극형성틀
- 140: 전극물질층

도면

도면1



도면2

